

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SQUELCH SYSTEM FOR DATA RECEIVER

Patent Number: JP1068144
Publication date: 1989-03-14
Inventor(s): KOBAYASHI MASUO
Applicant(s):: FUJITSU LTD
Requested Patent: ☐ JP1068144
Application Number: JP19870226964 19870909
Priority Number(s):
IPC Classification: H04L1/00 ; H04B1/10
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent malfunction of a data terminal equipment by comparing an error signal quantity detected by a signal comparator circuit with a standard error signal quantity, and disconnecting a switch provided to an output circuit of a majority decision circuit when the large quantity of error signal exists.

CONSTITUTION: A signal comparator circuit 4 detects an error signal a1 to output to an integration circuit 7. The integration circuit 7 integrates an error signal a1 inputted sequentially to generate a voltage V corresponding to the signal quantity of the error signal a1. A comparator 8 compares the voltage V corresponding to the standard quantity of the error signal a1 with the voltage V1 corresponding to the standard quantity of the error signal a1, drives a switch 6 in case of $V > V1$, to interrupt the output circuit of the majority decision circuit 2-3. Thus, when the error signal is large than the standard in quantity, random noise outputted from the majority decision circuit 2-3 is not supplied to the data terminal equipment 3.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報 (A)

昭64-68144

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)3月14日

H 04 L 1/00
H 04 B 1/10

B-8732-5K
B-6866-5K

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 データ受信機のスケルチ方式

⑯ 特 願 昭62-226964

⑰ 出 願 昭62(1987)9月9日

⑱ 発 明 者 小 林 益 夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

データ受信機のスケルチ方式

2. 特許請求の範囲

受信部 (2-1) で受信されたビット信号を多数決判定回路 (2-3) で波形整形し、該整形波形をデータ端末 (3) に出力するデータ受信機において、

前記受信部 (2-1) の出力ビット信号と前記多数決判定回路 (2-3) の出力信号とを比較して前記ビット信号に含まれる誤り信号を検出する信号比較回路 (4) と、前記信号比較回路の検出誤り信号量と標準誤り信号量とを比較し、誤り信号量が標準誤り信号量より多いときは前記多数決判定回路 (2-3) の出力を断とするスケルチ回路 (5) を設けたことを特徴とするデータ受信機のスケルチ方式。

3. 発明の詳細な説明

(概要)

データ受信機が所要の電波を受信しない時に発生するランダム雑音がデータ端末に入力しないようにしたデータ受信機のスケルチ回路に関し、

無線回線で発生する誤り信号量に対応して受信機出力を断とし、データ端末の誤動作を防止するデータ受信機のスケルチ回路を提供することを目的とし、

受信部で受信されたビット信号を多数決判定回路で波形整形し、該整形波形をデータ端末に出力するデータ受信機において、前記受信部の出力ビット信号と前記多数決判定回路の出力信号とを比較して前記ビット信号に含まれる誤り信号を検出する信号比較回路と、前記信号比較回路の検出誤り信号量と標準誤り信号量とを比較し、誤り信号量が標準誤り信号量より多いときは前記多数決判定回路の出力を断とするスケルチ回路を設けた構成とする。

(産業上の利用分野)

本発明はデータ受信機が所要の電波を受信しない時に発生するランダム雑音がデータ端末に入力しないようにしたデータ受信機のスケルチ回路に関するものである。

簡易タイプのデータ受信機ではスケルチ機能を設けておらず、受信データをそのままフアクシミリ等のデータ端末に出力している。かかるデータ受信機においては所要の電波がない時にはランダム雑音を出力することとなり、データ端末で誤動作を起こす原因となっていた。そこでランダム雑音の発生に対応して受信機出力を断とするスケルチ回路が必要とされていた。

(従来の技術)

第4図は簡易型データ通信回路の要部ブロック図、第5図はその動作を説明するための信号波形図を示している。

第4図において、データ通信回路は送信機1と受信機2とよりなり、送信機1はデータ部1-1と変調部1-2と送信部1-3とを、また受信機

2は受信部2-1と検波回路2-2と多数決判定回路2-3とを備えている。

データ部1-1は、例えば第5図Aに示すように、1200Hzの繰返し周期を持った1、0の組合わせ(1200b/s)で形成されたデータ信号を出力する。このデータ信号は変調部1-2で16Kb/sに速度変換された後、送信部1-3において所定の周波数で変調されて送信される。

この送信電波は受信部2-1で受信され検波回路2-2と多数決判定回路2-3で検波および波形整形されてデータ端末3に入力され、データ端末3においてデータ処理される。

いま、受信部2-1が第5図Aの正規の受信データを受信すると多数決判定回路2-3より第5図Aの正規のデータ信号がデータ端末3に出力され、データ端末でデータ処理される。

一方、無線回線で誤りが発生した場合、第5図Bに示すような誤り信号a1が存在するデータ信号が受信部2-1より出力される。多数決判定回路2-3は第5図Bのデータ信号より誤り信号a1

の発生数から波形整形して第5図Cの波形を形成する。この場合、図Bのa1に示すように誤り信号数が多いと図Cに示すように正規の波形(図A)と異なった図Cで示す信号C1を発生する。このように誤り信号数が多い状態が続くと(例えば無着信状態)信号C1はランダム信号となりデータ端末の誤動作の原因となる。

(発明が解決しようとする問題点)

上記の簡易型データ受信機において、第5図Aの所要の電波を正規に受信している間は問題ないが、第5図Bに示す誤り信号a1を含んだデータ信号を連続して受信する様な時にはデータ受信機よりランダム雑音を出力することになり、データ端末3で誤動作が発生する。

本発明はこのような点に鑑みて創作されたもので、無線回線で発生する誤り信号量に対応して受信機出力を断とし、データ端末の誤動作を防止するデータ受信機のスケルチ回路を提供することを目的としている。

(問題点を解決するための手段)

第1図は本発明のデータ受信機のスケルチ方式のブロック図を示しており、データ受信機2は受信部2-1とこれに接続される多数決判定回路2-3とで構成される。受信部2-1の出力であるビット信号と多数決判定回路2-3の出力信号とを比較してビット信号に含まれる誤り信号を検出する信号比較回路4と、信号比較回路4の検出誤り信号量と標準誤り信号量とを比較し、誤り信号量が多いときは多数決判定回路2-3の出力を断とするスケルチ回路5を設けた構成としている。

なお、6は多数決判定回路2-3とデータ端末3間に設けられたスイッチを示す。

(作用)

信号比較回路4は受信部2-1より出力されるビット信号と多数決判定回路2-3より出力されるビット信号を整形して形成されたデータ信号とを比較し、ビット信号に含まれる無線回線で発生した誤り信号を検出してスケルチ回路5に出力す

る。

スケルチ回路5は信号比較回路4で検出された誤り信号量と標準誤り信号量とを比較し、誤り信号量が多いときは多数決判定回路2-3の出力回路に設けられたスイッチ6を断とし、ビット信号中に誤り信号が多く含まれている場合には多数決判定回路の出力データ信号を断としてデータ端末3の誤動作を防止する。

(実施例)

第2図は一実施例のスケルチ回路のブロック図、第3図は本発明のスケルチ方式の動作を説明するための信号波形図を示している。

一実施例のスケルチ方式は、信号比較回路4とスケルチ回路5とスイッチ6とを備えている。また、スケルチ回路5を積分回路7とコンパレータ8と、標準電圧回路9とで構成している。

多数決判定回路2-3の入、出力端と信号比較回路4の両入力端と、信号比較回路4の出力端と積分回路4の入力端と、積分回路4の出力端とコ

る。なお誤り信号の標準量は多数決判定回路において第5図Cに示すランダム雑音C1が発生しない量としている。

コンパレータ8は誤り信号a1の標準量に対応した電圧Vと誤り信号a1の標準量に対応した電圧V1とを比較し、 $V > V1$ となるとスイッチ6を駆動して多数決判定回路2-3の出力回路を断とする。

即ち、誤り信号が標準量より多い場合は多数決判定回路2-3より出力されるランダム雑音がデータ端末3に入力することをなくしている。

(発明の効果)

以上説明したように本発明によれば、無線回線で発生する誤り信号によるランダム雑音を出力することがなくなり、データ端末で誤り動作を起こすことがなくなる。

4. 図面の簡単な説明

第1図は本発明のデータ受信機のスケルチ方式

ンパレータ8の一方の入力端とが接続され、またコンパレータ8の他の入力端には標準電圧回路9が接続され、コンパレータ8の出力端はスイッチ6に接続されている。

その動作を第3図を参照して説明する。

第3図Aは誤り信号a1を含んだ受信部2-1の出力波形を示しており、この図A信号は多数決判定回路において波形整形されて図Bのデータ信号となる。図Aの誤り信号a1を含んだ信号と図Bのデータ信号が信号比較回路4に入力される。

信号比較回路4は第3図AとBを比較して第3図Cの誤り信号a1を検出して第2図の積分回路7に出力する。

積分回路7は順次入力する誤り信号a1を積分して誤り信号a1の信号量に対応した電圧Vを発生する。この電圧Vは誤り信号量が多いほど高い電圧となりコンパレータ8の一方の入力端b1に入力される。また、コンパレータ8の他の一方の入力端b2には誤り信号a1の標準量に対応した電圧V1が標準電圧回路9で作成されて入力され

の原理ブロック図、

第2図は一実施例のスケルチ回路のブロック図、

第3図は本発明のスケルチ方式の動作を説明するための信号波形図、

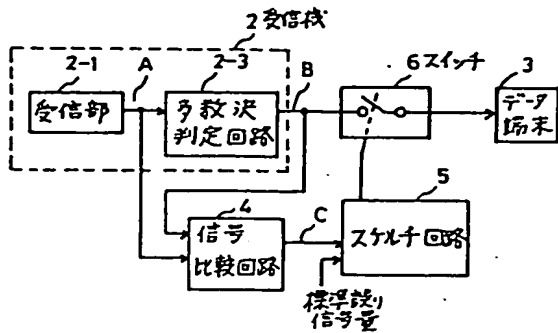
第4図は簡易型データ通信回線の要部ブロック図、

第5図は従来のスケルチ方式の動作を説明するための信号波形図である。

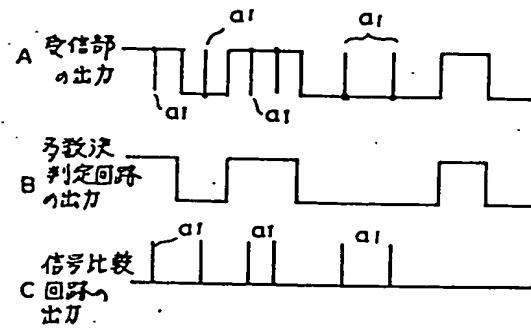
図において、1は送信機、1-1はデータ部、1-2は変調部、1-3は送信部、2は受信機、2-1は受信部、2-2は検波回路、2-3は多数決判定回路、3はデータ端末、4は信号比較回路、5はスケルチ回路、6はスイッチ、7は積分回路、8はコンパレータ、9は標準電圧回路を示している。

代理人 弁理士 井 桁 貞

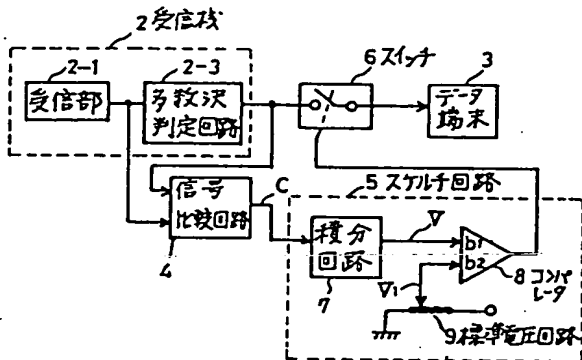




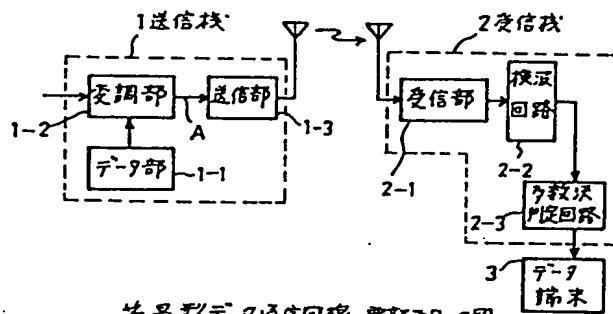
本発明のデータ受信機のスルチ方式の原理ブロック図
第 1 図



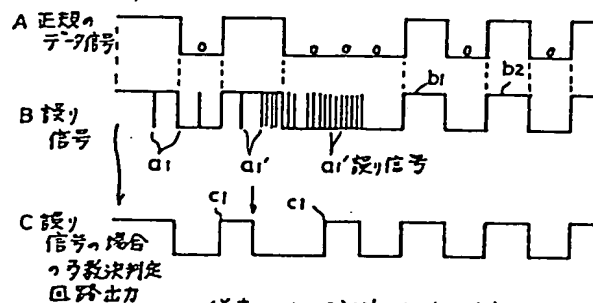
本発明のスルチ方式の動作を説明するための信号波形図
第 3 図



一実施例のスルチ回路のブロック図
第 2 図



簡易型データ通信回路の各部ブロック図
第 4 図



従来のスルチ方式の動作を説明するための信号波形図
第 5 図